

PCT

WELTORGANISATION FÜR GEISTIGES EIGENTUM
Internationales Büro

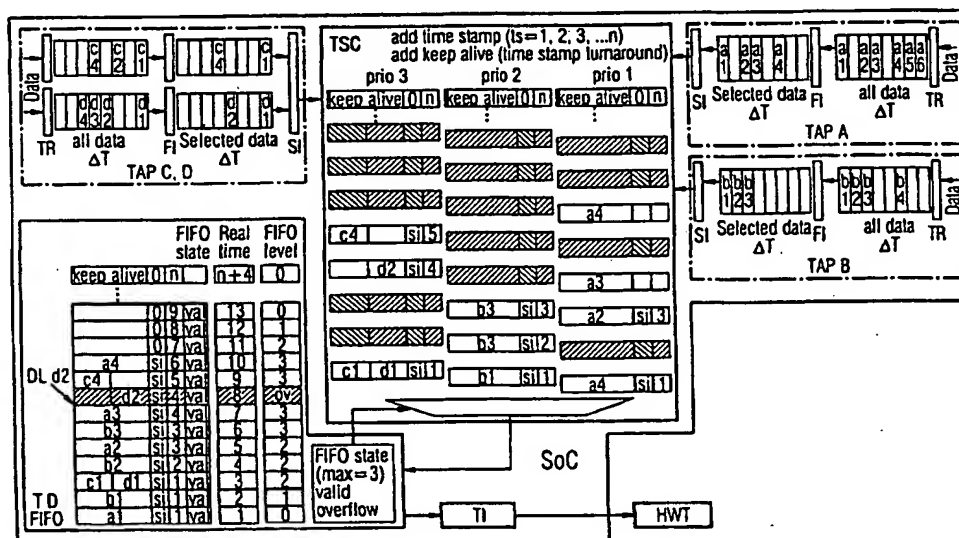


INTERNATIONALE ANMELDUNG VERÖFFENTLICHT NACH DEM VERTRAG ÜBER DIE
INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT)

(51) Internationale Patentklassifikation 7 : G06F 11/36		A1	(11) Internationale Veröffentlichungsnummer: WO 00/63777
			(43) Internationales Veröffentlichungsdatum: 26. Oktober 2000 (26.10.00)
(21) Internationales Aktenzeichen: PCT/DE00/01165		(81) Bestimmungsstaaten: DE, JP, US.	
(22) Internationales Anmeldedatum: 13. April 2000 (13.04.00)		Veröffentlicht Mit internationalem Recherchenbericht. Vor Ablauf der für Änderungen der Ansprüche zugelassenen Frist; Veröffentlichung wird wiederholt falls Änderungen eintreffen.	
(30) Prioritätsdaten: 199 17 891.7 20. April 1999 (20.04.99) DE			
(71) Anmelder (für alle Bestimmungsstaaten ausser US): SIEMENS AKTIENGESELLSCHAFT [DE/DE]; Wittelsbacherplatz 2, D-80333 München (DE).			
(72) Erfinder; und (75) Erfinder/Anmelder (nur für US): AMANDI, Dirk [DE/DE]; Pembaurstr. 14, D-81243 München (DE). GLÄSER, Win- fried [DE/DE]; Seilergasse 56, D-85570 Markt Schwaben (DE). MIRCESCU, Alexander [DE/DE]; Boschetsriederstr. 61, D-81379 München (DE). WINTER, Robert [DE/DE]; Liesel-Beckmann-Str. 7, D-81369 München (DE).			
(74) Gemeinsamer Vertreter: SIEMENS AKTIENGE- SELLSCHAFT; Postfach 22 16 34, D-80506 München (DE).			

(54) Title: METHOD FOR TRACING IN SYSTEM-ON-CHIP ARCHITECTURES

(54) Bezeichnung: VERFAHREN ZUM TRACEN IN SYSTEM ON CHIP ARCHITEKTUREN



(57) Abstract

The invention relates to a system-on-chip arrangement, wherein the data states of a plurality of components are detected, selected, provided with a source identifier and a time stamp, brought together according to the priority thereof and outputted at an interface in order to be evaluated. The width of the trace interface (number of the pins on the chip) and the complexity of the tracer are minimised.

(57) Zusammenfassung

In einem System von Chip-Anordnungen werden die Datenzustände einer Mehrzahl von Komponenten erfasst, selektiert, mit einer Herkunftskennzeichnung und einem Zeitstempel versehen, nach ihrer Priorität zusammengeführt und an einer Schnittstelle ausgegeben, um ausgewertet werden zu können. Die Breite des Trace Interface (Anzahl der Pins am Chip) und die Komplexität des Tracers ist minimiert.

LEDIGLICH ZUR INFORMATION

Codes zur Identifizierung von PCT-Vertragsstaaten auf den Kopfbögen der Schriften, die internationale Anmeldungen gemäss dem PCT veröffentlichen.

AL	Albanien	ES	Spanien	LS	Lesotho	SI	Slowenien
AM	Armenien	FI	Finnland	LT	Litauen	SK	Slowakei
AT	Österreich	FR	Frankreich	LU	Luxemburg	SN	Senegal
AU	Australien	GA	Gabun	LV	Lettland	SZ	Swasiland
AZ	Aserbaidschan	GB	Vereinigtes Königreich	MC	Monaco	TD	Tschad
BA	Bosnien-Herzegowina	GE	Georgien	MD	Republik Moldau	TG	Togo
BB	Barbados	GH	Ghana	MG	Madagaskar	TJ	Tadschikistan
BE	Belgien	GN	Guinea	MK	Die ehemalige jugoslawische Republik Mazedonien	TM	Turkmenistan
BF	Burkina Faso	GR	Griechenland	ML	Mali	TR	Türkei
BG	Bulgarien	HU	Ungarn	MN	Mongolei	TT	Trinidad und Tobago
BJ	Benin	IE	Irland	MR	Mauretanien	UA	Ukraine
BR	Brasilien	IL	Israel	MW	Malawi	UG	Uganda
BY	Belarus	IS	Island	MX	Mexiko	US	Vereinigte Staaten von Amerika
CA	Kanada	IT	Italien	NE	Niger	UZ	Usbekistan
CF	Zentralafrikanische Republik	JP	Japan	NL	Niederlande	VN	Vietnam
CG	Kongo	KE	Kenia	NO	Norwegen	YU	Jugoslawien
CH	Schweiz	KG	Kirgisistan	NZ	Neuseeland	ZW	Zimbabwe
CI	Côte d'Ivoire	KP	Demokratische Volksrepublik Korea	PL	Polen		
CM	Kamerun	KR	Republik Korea	PT	Portugal		
CN	China	KZ	Kasachstan	RO	Rumänien		
CU	Kuba	LC	St. Lucia	RU	Russische Föderation		
CZ	Tschechische Republik	LI	Liechtenstein	SD	Sudan		
DE	Deutschland	LK	Sri Lanka	SE	Schweden		
DK	Dänemark	LR	Liberia	SG	Singapur		
EE	Estland						

Beschreibung

Verfahren zum Tracen in System on Chip Architekturen

- 5 Der Anmeldungsgegenstand betrifft ein Verfahren zur Nachverfolgung von Daten und deren Zuständen in einer Anordnung, in der ein Halbleiterchip (SoC) eine Mehrzahl von Komponenten aufweist.
- 10 Bei System on Chip (SoC) Architekturen sind verschiedene Komponenten, z.B. Mikroprozessoren, RAMs und komplexe HW Control Logik auf einem Chip untergebracht. Um ein SoC Design zu testen, ist es unabdingbar, in den Chip "hineinschauen" zu können, d.h. interne Datenströme aufzuzeichnen. Um den Testanforderungen zu genügen, müssen im allgemeinen die Datenströme
- 15 der einzelnen Komponenten parallel (d.h. mit dem genauen zeitlichen Bezug zueinander) ge-traced werden können.

- Bisher ist das parallele Durchverdrahten von wenigen Datenströmen, z.B. nur einer Speicher Schnittstelle auf den Trace Bus ausreichend und von der Komplexität her möglich gewesen. Die ansteigende Komplexität der SoC Architekturen macht das Tracen einer Vielzahl von Komponenten wünschenswert. Ein paralleles Durchverdrahten der einzelnen Komponenten Schnittstellen an den Trace Bus erscheint zunächst als praktisch unmöglich.
- 20
- 25

- Dem Anmeldungsgegenstand liegt das Problem zugrunde, ein Verfahren zum Tracen einer Vielzahl von SoC Komponenten auf einen Trace Bus bei Minimierung der Tracer Komplexität anzugeben.
- 30

Das Problem wird durch die Merkmale des Anspruchs 1 gelöst.

- 35 Der Anmeldungsgegenstand macht sich die Erkenntnis zunutze, daß beispielsweise an einem RAM interface bei einem Lese-Befehl durch die RAM Latency Wartezyklen entstehen, die keine

interessante/notwendige Trace Information enthalten, und in diesen Wartezyklen Trace Informationen anderer Abfragestellen weitergeleitet werden können.

- 5 Es sind Vorteile des Anmeldungsgegenstandes, die Daten möglichst vieler SoC Komponenten auf ein Trace Interface geben zu können und gleichzeitig die Breite des Trace Interface (Anzahl der Pins am Chip) sowie grundsätzlich die Komplexität des Tracers zu minimieren. Weiterhin ist aufgrund der limi-
- 10 tierten Aufzeichnungstiefe der externen Medien (Hardware Tracer HWT) eine Datenreduktion vorteilhaft.

Vorteilhafte Weiterbildungen des Anmeldungsgegenstandes sind in den Unteransprüchen angegeben.

15

Der Anmeldungsgegenstand wird im folgenden als Ausführungsbeispiel in einem zum Verständnis erforderlichen Umfang anhand von Figuren näher erläutert. Dabei zeigen:

- Fig 1 eine Darstellung des anmeldungsgemäßen Trace-Systems
- 20 Fig 2 ein Ablaufdiagramm in dem anmeldungsgemäßen Trace-System und
- Fig 3 ein weiteres Ablaufdiagramm in dem anmeldungsgemäßen Trace-System.

- 25 In den Figuren bezeichnen gleiche Bezeichnungen gleiche Elemente.

Unter Tracen wird die Abfrage des Datenzustandes an einer bestimmten Abfragestelle TAP (für: Trace access point) zur Aus-

30 wertung des Datenzustandes verstanden.

- FIG 1 zeigt eine System on Chip Anordnung SoC, in der der Anmeldungsgegenstand realisiert ist. Bei System on Chip Architekturen sind verschiedene Komponenten, z.B. Mikroprozessoren, RAMs und komplexe HW (Hardware) Control Logik auf einem
- 35 Chip angeordnet. Die Anordnung in Fig 1 weist stellvertretend für eine Vielzahl von Komponenten für die nicht näher darge-

3

stellten Komponenten A, B, C und D diesen zugeordnete Abfragestellen TAP A, TAP B, TAP C und TAP D auf. Mögliche SoC Daten Aufzeichnungspunkte für das Trace Verfahren sind:

- Mikroprozessor Kerne (processor kernels)
- 5 - Speicherelemente (RAMs, storage elements)
- hardwired core ware, control parts, glue logic
- Bus-Schnittstellen (bus interfaces)
- Schnittstellen von Sensoren (sensor interfaces)
- interfaces to peripheral parts
- 10 - integrated FPGAs (Field Programmable Gate Array).

Die Daten Data einer Abfragestelle werden einer Auslöseeinrichtung TR (für: trigger), die das Tracen bei bestimmten Systemparametern einschaltet oder ausschaltet (beispielsweise schaltet der Trigger ein, wenn Fehlerbedingung erfüllt) zugeführt. Die durch die Auslöseeinrichtung erfassten Daten
15 a1..a6, b1..b4, c1..c4 und d1..d4 werden einem jeweiligen Filter FI zugeführt, wo sie entsprechend den Testanforderungen in Abhängigkeit von bestimmten Systemparametern selektiert werden. Die selektierten Daten a1..a4, b1..b3, c1, c4
20 und d1, d2 werden in einem Herkunftskennzeichner SI (für: source identifier) als zu der betreffenden Komponente bezeichnet.

25 Eine Zeitschlitz Steuerung TSC (für: Time slot control) fragt pro Taktzyklus nacheinander (polling) entsprechend der Priorität eines TAP nach einem notwendigen Datum ("notwendig" wird durch ein Signalbit vom TAP angezeigt). Die notwendigen Daten des TAP werden mit einem Source identifier versehen,
30 damit in der Nachverarbeitung außerhalb des Chips Daten eines TAPs wieder zugeordnet werden können (zusammenfassen in eigener Datei, Tabelle, Statistik, etc.). Zusätzlich wird ein Zeitstempel (time stamp) vergeben (z.B. Zählerwert eines umlaufenden Zählers). Daten, die im gleichen Taktzyklus anliegen,
35 bekommen den gleichen time stamp und werden entsprechend ihrer Priorität dem Aufzeichnungs-Datenspeicher TD FIFO (für: Trace Data First In First Out) angeboten. In der Nachverar-

- beutung kann somit die Zeitabfolge exakt ermittelt werden. Wird der time stamp als umlaufender Zähler realisiert, bietet es sich an, daß die Zeitschlitz Steuerung bei jedem Zähler-rücksprung ein Aktivzustands-Wort (keep alive Trace Wort) einsetzt (z.B. mit si=0), wenn kein Überlaufzustand (ov) des Aufzeichnungs-Datenspeichers (overflow FIFO state) anliegt. Dies ist auch nützlich beim Aktivieren des Tracers nach einem Reset, da mit Empfangen der keep alive Worte schon ein Verbindungs setup nachgewiesen ist. Tritt während der Übergabe eines Trace Wortes an das TD FIFO ein overflow FIFO state auf, so wird dieses nicht übertragen; die Übertragung des Trace Wortes von dem TAP mit der höchsten Priorität ist grundsätzlich immer möglich. Bei Datenverlust (Fig 1: wie mit DL d2 für: Data Loss d2 bezeichnet) durch overflow wird dieser Zustand durch ein overflow Bit in dem einen Trace Wort gekennzeichnet, das auch im overflow Zustand übertragen werden kann und das den gleichen time stamp, wie das nicht übertragene Trace Wort hat (Fig 1: das Trace Wort mit a3 vor d2); das Übertragen einer Trace Wortes pro Taktzyklus ist immer möglich, auch im overflow Zustand. Der overflow Zustand des FIFOs wird dann abgebaut, wenn in einem Taktzyklus von keinem TAP notwendige Daten angelegt werden; Rücknahme des overflow Bit.
- 25 Die Verwaltung des FIFOs und das Einfügen des overflow Bit in das Trace Wort geschieht im Trace Daten FIFO. Das FIFO ist in der Lage, pro Taktzyklus entsprechend der Anzahl der TAPs Trace Worte in dem FIFO abzuspeichern; Fig 1 zeigt, daß 3 Trace Worte pro Taktzyklus maximal im FIFO abgespeichert werden, also entsprechend ihrer Priorität bei ts=1 hier a1, b1, c1/d1. Am FIFO Ausgang wird pro Taktzyklus ein Trace Wort an die Aufzeichnungs-Schnittstelle TI (für: Trace interface) geschrieben, die mit dem HWT (HW Tracer, Standard Aufzeichnungsgerät) korrespondiert. Die Aufzeichnungs-Schnittstelle TI ist mit einer Mehrzahl von Anschlüssen am Gehäuse, das die SoC-Komponenten aufnimmt, gebildet. Die Anzahl der Anschlüsse der Aufzeichnungs-Schnittstelle TI ist erheblich kleiner als

wenn für jeden der Mehrzahl von Aufzeichnungspunkten TAP A..TAP D eine gesonderte Schnittstelle am Gehäuse angeordnet wäre.

- 5 Über eine PC Schnittstelle an den HWT können Programme zur Nachverarbeitung angewendet werden.

Im Trace Verfahren/Algorithmus gemäß dem Anmeldungsgegenstand wird zwischen notwendigen und nicht-notwendigen Trace Daten
10 entsprechend der Testanforderungen unterschieden (Daten Selektion). Eine sinnvolle Datenselektion ist in der Praxis prinzipiell immer möglich. Dadurch ist es möglich, in einem Zeitschlitzverfahren die notwendigen anliegenden Trace Daten der verschiedenen SoC Komponenten hintereinander auf den Tra-
15 ce Bus zu geben. Die Zeitinformation bleibt durch die Verwendung eines Zeitstempels (time stamp) voll erhalten, so daß das Zeitverhalten der Daten zueinander in einer Nachverarbeitung wiederhergestellt werden kann. Das Zwischenspeichern der sequentialisierten Daten in einem FIFO ermöglicht das Abfan-
20 gen von Datenbursts. Durch einstellbare Filter und Triggerpunkte wird eine Datenreduktion auf die notwendigen Daten erreicht. Grundsätzlich ist es möglich, eine beliebige Anzahl verschiedener SoC Komponenten mit dem Zeitschlitz Verfahren zu tracen, wobei die Zeitschlitzze über ein priorisiertes Ab-
25 frageprinzip (polling) vergeben werden. Wenn im statistischen Mittel die Summe der Datenströme der SoC Komponenten die Übertragungsrate des Trace interface überschreitet, wird ein Daten Verlust eintreten. Die Trace Worte der SoC Komponente mit der höchsten Priorität werden in jedem Fall übertragen.

30

Fig 2 zeigt den Trace Alogorithmus des Trace-Verfahrens.

Bei 201 wird der Algorithmus gestartet, bei 202 wird alles in den Ausgangszustand gesetzt (reset all). Bei 203 wird eine
35 Prozedur nach Figur 3 zur Bearbeitung eines Aufzeichnungspunktes mit der Priorität 1 (processing TAP with prio 1) ausgeführt. Bei 204 wird eine Prozedur nach Figur 3 zur Bearbei-

tung eines Aufzeichnungspunktes mit der Priorität 2 (processing TAP with prio 2) ausgeführt. Bei 205 werden weitere Prozeduren nach Figur 3 zur Bearbeitung eines Aufzeichnungspunktes (other TAP's) ausgeführt. Bei 206 wird eine Prozedur nach

5 Figur 3 zur Bearbeitung eines Aufzeichnungspunktes mit der Priorität N (processing TAP with prio N) ausgeführt. Bei 207 wird der Zeitstempel aktualisiert (update time stamp). Bei 208 erfolgt eine Abfrage, ob der Zeitstempel seinen Höchststand erreicht hat (timestamp=max?). Ist dies nicht der Fall,

10 wird wie mit N (für: No) bezeichnet, bei 211 fortgefahren. Ist dies der Fall, wie mit Y (für: Yes) bezeichnet, wird mit 209 fortgefahren, wo abgefragt wird, ob das Aufzeichnungsdaten FIFO TD FIFO kein Überfließen aufweist (No FIFO overflow?). Ist dies, wie mit N bezeichnet, nicht der Fall, wird

15 mit 211 fortgefahren. Ist dies, wie mit Y bezeichnet, der Fall, wird bei 210 ein Aktivzustands-Wort in das Auswertungsdaten-FIFO geschrieben (write keep alive to FIFO). Bei 211 wird der älteste Eintrag aus dem Aufzeichnungsdaten FIFO zu der Aufzeichnungs-Schnittstelle TI weitergeleitet (write lowest FIFO entry to trace interface). Bei 212 wird auf den

20 nächsten Taktbeginn gewartet (wait for next clock cycle), um bei 201 fortzufahren.

Figur 3 zeigt die Abarbeitung eines Aufzeichnungspunktes mit

25 einer gegebenen Priorität (processing TAP with prio N). Nach dem Start bei 301 wird bei 302 abgefragt, ob der Bearbeitungspunkt Daten anliegen hat. Ist dies nicht der Fall, wie mit N bezeichnet, wird mit 309 fortgefahren. Ist dies der Fall, wie mit Y bezeichnet, wird mit 303 fortgefahren, wo abgefragt wird, ob das Aufzeichnungsdaten FIFO kein Überfließen aufweist (no FIFO overflow?). Ist dies nicht der Fall, wie

30 mit N bezeichnet, wird mit 309 fortgefahren. Ist dies der Fall, wie mit Y bezeichnet, wird mit 304 fortgefahren, wo die Aufzeichnungsdaten in das Aufzeichnungswort N eingeschrieben

35 werden (write TAP data in trace word N). Bei 305 wird ein Herkunftskennzeichen SI dem Aufzeichnungswort N beigefügt (add source identifier to trace word N). Bei 306 wird ein

Zeitstempel dem Aufzeichnungswort N beigefügt (add time stamp to trace word N). Bei 307 wird das Aufzeichnungswort N in das Aufzeichnungsdaten FIFO geschrieben (write trace word N to FIFO). Bei 308 wird der Zustand des Aufzeichnungsdaten FIFOs
5 aktualisiert (update FIFO state). Bei 309 wird zurückgesprungen (go back).

Das hier vorgestellte Verfahren geht von einem synchronen SoC Design aus. Grundsätzlich können aber an die taktsynchron arbeitende Zeitschlitz Steuerung auch asynchrone Komponenten
10 angeschlossen werden und dann eingetaktet werden.

Patentansprüche

1. Verfahren zur Nachverfolgung von Daten und deren Zuständen in einer Anordnung, in der ein Halbleiterchip (SoC) eine Mehrzahl von Komponenten aufweist, demzufolge,
- 5 - die Daten (Data) eines Aufzeichnungspunktes (TAPA..TAPD) nach Maßgabe einer Auslöseeinrichtung (TR) erfasst werden,
- mehrere Aufzeichnungspunkte gegeben sind,
- die Daten nach Maßgabe der Einstellung eines Filters (FI)
- 10 selektiert werden,
- die Daten mit einem Herkunftskennzeichen (SI) und einem Zeitstempel (ts) versehen werden,
- eine Zeitschlitzsteuerung (TSC), die Aufzeichnungspunkte
- 15 - die Daten an eine Aufzeichnungs-Schnittstelle (TI) des Halbleiterchips weitergeleitet werden.

2. Verfahren nach Anspruch 1, dadurch gekennzeichnet,
- 20 dass die Zeitschlitzsteuerung die Aufzeichnungspunkte nach Maßgabe ihrer Priorität abfragt.

3. Verfahren nach Anspruch 2, dadurch gekennzeichnet,
- 25 dass die Daten nach Maßgabe ihrer Priorität an die Aufzeichnungs-Schnittstelle weitergeleitet werden.

4. Verfahren nach einem der vorstehenden Ansprüche, dadurch gekennzeichnet,
- 30 dass die Daten als Zeitstempel mit einem zyklisch fortlaufenden Zählerstand versehen werden.

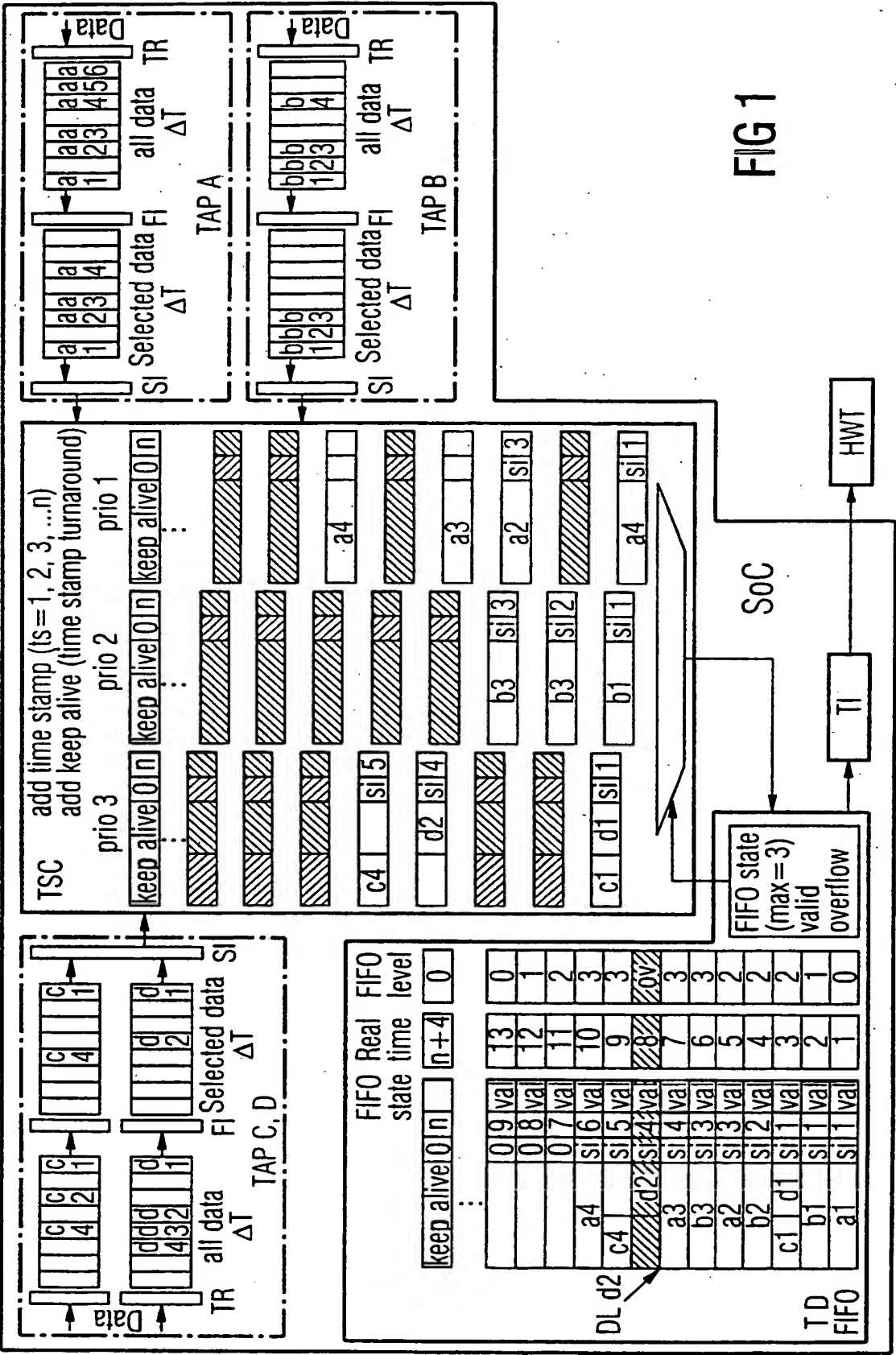


FIG 1

2/3

FIG 2

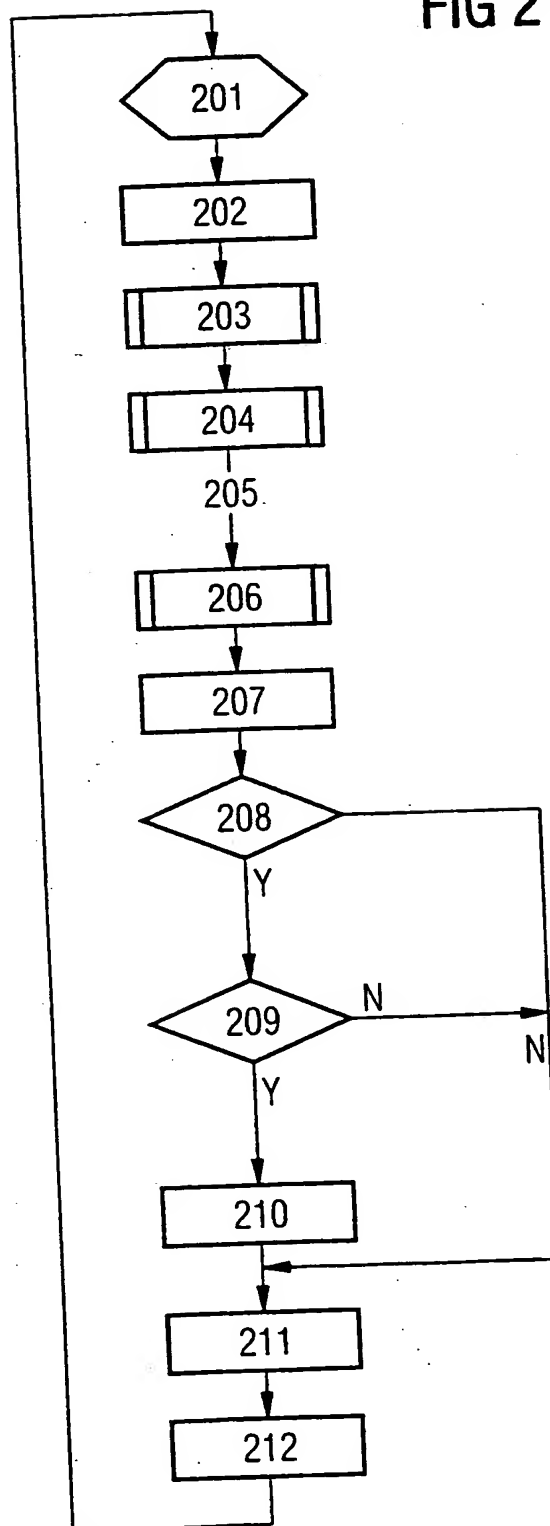
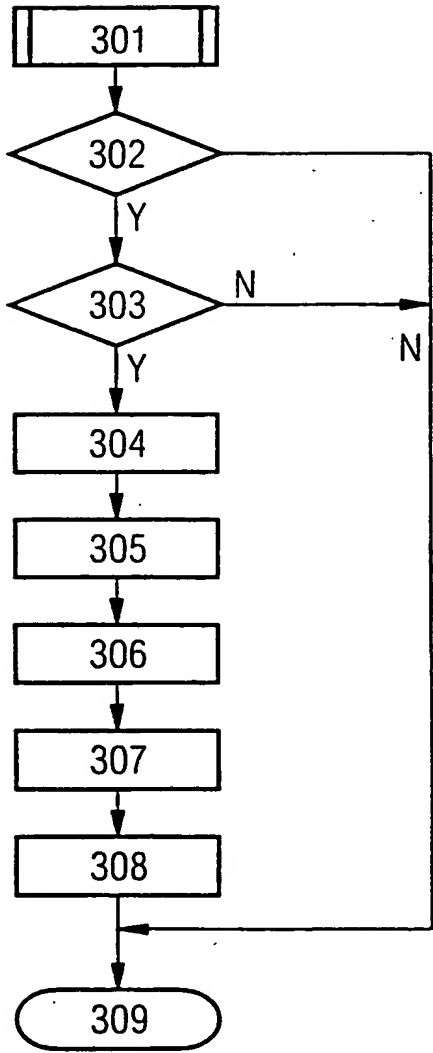


FIG 3



INTERNATIONAL SEARCH REPORT

International Application No
PCT/DE 00/01165

A. CLASSIFICATION OF SUBJECT MATTER
IPC 7 G06F11/36

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 7 G06F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
-----------	--	-----------------------

X

EP 0 636 976 A (PHILIPS ELECTRONICS NV)
1 February 1995 (1995-02-01)
page 4, line 3 - line 9
page 4, line 27 - line 40

1-4

☐ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

* Special categories of cited documents :

- *A* document defining the general state of the art which is not considered to be of particular relevance
- *E* earlier document but published on or after the international filing date
- *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- *O* document referring to an oral disclosure, use, exhibition or other means
- *P* document published prior to the international filing date but later than the priority date claimed

T later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

X document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

Y document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

Z document member of the same patent family

Date of the actual completion of the international search

26 September 2000

Date of mailing of the international search report

04/10/2000

Name and mailing address of the ISA
European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Corremans, G

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/DE 00/01165

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
EP 636976 A	01-02-1995	DE 69415600 D	11-02-1999
		DE 69415600 T	15-07-1999
		JP 7175780 A	14-07-1995
		US 5590354 A	31-12-1996

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/DE 00/01165

A. KLASSTIFIZIERUNG DES ANMELDUNGSGEGENSTANDES
IPK 7 G06F11/36

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)
IPK 7 G06F

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	EP 0 636 976 A (PHILIPS ELECTRONICS NV) 1. Februar 1995 (1995-02-01) Seite 4, Zeile 3 - Zeile 9 Seite 4, Zeile 27 - Zeile 40	1-4

☐ Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen

☒ Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :

A Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

E Älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

L Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

O Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

P Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

T Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

X Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

Y Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

Z Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

26. September 2000

Absenddatum des internationalen Recherchenberichts

04/10/2000

Name und Postanschrift der Internationalen Recherchenbehörde
Europäisches Patentamt, P.B. 5818 Patentaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Corremans, G

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/DE 00/01165

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
EP 636976 A	01-02-1995	DE 69415600 D	11-02-1999
		DE 69415600 T	15-07-1999
		JP 7175780 A	14-07-1995
		US 5590354 A	31-12-1996

THIS PAGE BLANK (USE